

AN

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12705788

Basic Patent (No,Kind,Date): JP 7273616 A2 951020 <No. of Patents: 001>

CHOPPER TYPE COMPARATOR (English)

Patent Assignee: KAWASAKI STEEL CO

Author (Inventor): YOSHIDA SHINYA

IPC: \*H03K-005/08; G01R-019/165; H03M-001/34

Derwent WPI Acc No: \*G 95-398572; G 95-398572

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 7273616</b>	A2	951020	JP 9459314	A	940329 (BASIC)

Priority Data (No,Kind,Date):

JP 9459314 A 940329

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.  
04981016      \*\*Image available\*\*  
CHOPPER TYPE COMPARATOR  
PUB. NO.:      07-273616 [JP 7273616 A]  
PUBLISHED:      October 20, 1995 (19951020)  
INVENTOR(s):   YOSHIDA SHINYA  
APPLICANT(s): KAWASAKI STEEL CORP [000125] (A Japanese Company or  
Corporation), JP (Japan)  
APPL. NO.:      06-059314 [JP 9459314]  
FILED:          March 29, 1994 (19940329)  
INTL CLASS:    [6] H03K-005/08; G01R-019/165; H03M-001/34  
JAPIO CLASS:   42.4 (ELECTRONICS -- Basic Circuits); 46.1 (INSTRUMENTATION  
-- Measurement)

#### ABSTRACT

**PURPOSE:** To provide the chopper type comparator in which power consumption is reduced by setting an optimum processing time and a highly accurate comparison result is obtained.

**CONSTITUTION:** The comparator is provided with a comparator section 10a in which a 1st switch S2a receiving a reference voltage and a 2nd switch S1a receiving an analog input signal are connected to one terminal of a capacitor 14, the other terminal of the capacitor 14 connects to an input of an inverter 11 and a 3rd switch S2b is used to short-circuit the input and output of the inverter 11, and with a switch control section 10b closing the 1st and 3rd switches S2a, S2b for a 1st time from either reference point of rising reference point of time or a trailing reference point of time of a reference clock signal and closing the 2nd switch S2a for a 2nd time only from a point of time after lapse of the 1st time.

特開平7-273616

(43) 公開日 平成7年(1995)10月20日

(51) Int. Cl.<sup>6</sup>

H03K 5/08

G01R 19/165

H03M 1/34

識別記号

T

A

F I

審査請求 未請求 請求項の数 2 O L (全6頁)

(21) 出願番号 特願平6-59314

(22) 出願日 平成6年(1994)3月29日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 吉田 慎也

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

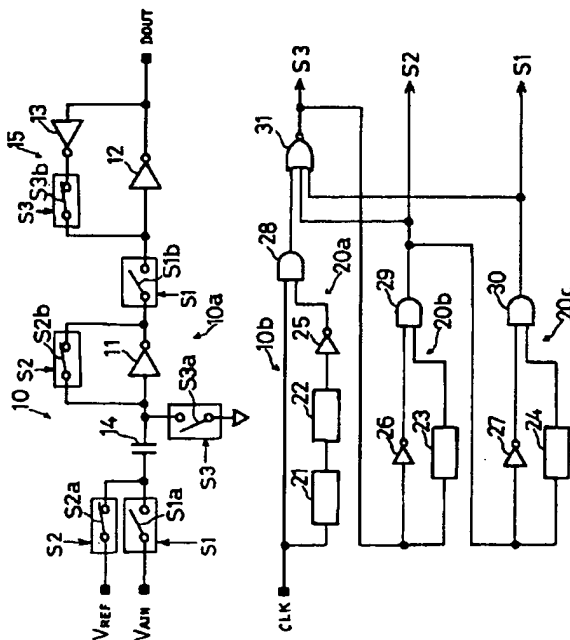
(74) 代理人 弁理士 小杉 佳男 (外2名)

(54) 【発明の名称】 チョップパ型コンパレータ

(57) 【要約】

【目的】 最適な処理時間の設定により、消費電力が低減されるとともに高精度な比較結果が得られるチョップパ型コンパレータを提供する。

【構成】 基準電圧が印加される第1のスイッチと、アナログ入力信号が印加される第2のスイッチをコンデンサの一方の端子に接続し、コンデンサの他方の端子をインバータの入力に接続しインバータの入出力を第3のスイッチにより短絡するコンパレータ部と、基準クロック信号の立ち上がりの時点もしくは立ち下りの時点のうちのいずれか一方の基準点から第1の時間だけ第1、第3スイッチをオンし、第1の時間が経過した時点から第2の時間だけ第2のスイッチをオンするスイッチ制御部とを備えた。



## 【特許請求の範囲】

【請求項1】 インバータと、一端が前記インバータの入力端子に接続されたコンデンサと、一端に基準電圧が印加されるとともに他端が前記コンデンサの他端に接続された第1のスイッチと、一端にアナログ入力信号が印加されるとともに他端が前記コンデンサの前記他端に接続された第2のスイッチと、前記インバータの入力端子と該インバータの出力端子との間を開閉自在に短絡する第3のスイッチとを有するコンパレート部、および所定の基準クロック信号の立ち上がりの時点もしくは立ち下

がりの時点のうちのいずれか一方の基準時点から所定の第1の時間だけ前記第1および第3のスイッチを導通状態とし、前記基準時点から前記第1の時間経過した時点から所定の第2の時間だけ前記第2のスイッチを導通状態とするスイッチ制御部を備えたことを特徴とするチョッパ型コンパレータ。

【請求項2】 前記コンパレート部が、前記インバータの入力端子を所定の固定電位に開閉自在に短絡する第4のスイッチを有し、前記スイッチ制御部が、前記第1、第2および第3のスイッチの制御に加え、前記基準時点から前記第1および第2の時間が加算された時間だけ経過した時点から、前記基準クロックに同期した次の基準時点までの間だけ前記第4のスイッチを導通状態とするものであることを特徴とする請求項1記載のチョッパ型コンパレータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アナログ入力信号の電圧と基準電圧を交互に入力して比較し、その結果を出力するチョッパ型コンパレータに関する。

## 【0002】

【従来の技術】 従来より、上記のようなチョッパ型コンパレータが提案されており、しばしばA/Dコンバータの一部として組み込まれ、利用されている。図4は、従来のチョッパ型コンパレータの回路図である。図4

(a)は、チョッパ型コンパレータの入力に基準電圧 $V_{ref}$ が入力された場合の動作状態を示す回路図であり、一方、図4(b)は、チョッパ型コンパレータの入力にアナログ電圧 $V_{in}$ が入力された場合の動作状態を示す回路図である。

【0003】 図4に示すチョッパ型コンパレータは、後述する基準クロック信号のタイミングでオン、オフするスイッチ $S1a$ 、 $S2a$ 、 $S2b$ と、アナログ入力信号の電圧 $V_{in}$ と基準電圧 $V_{ref}$ の差分の電圧が検出されるコンデンサ14と、この差分の電圧を増幅して出力するインバータ11とから構成されている。図5は、図4に示すチョッパ型コンパレータのスイッチ $S1a$ 、 $S2a$ 、 $S2b$ をオン、オフする基準クロック信号CLKのタイミングチャートである。

【0004】 図5に示すデューティ比50%の基準クロ

ック信号CLKのタイミング時間 $T1$ により、図4

(a)に示すように2つのスイッチ $S2a$ 、 $S2b$ がともにオンし、一方、スイッチ $S1a$ はオフする。すると、基準電圧 $V_{ref}$ がコンデンサ14の一方の端子に印加される。またスイッチ $S2b$ もオンしているため、インバータ11の入力と出力は短絡される。これによりインバータ11の入出力の電圧は、インバータ11の特性により定まる所定の電圧 $V_i$ （例えば1/2電源電圧）に設定され、この電圧 $V_i$ は‘H’レベルもしくはは

10 ‘L’レベルいずれともつかず、このため貫通電流が流れる。また、この電圧 $V_i$ はインバータ11の入力と接続されているコンデンサ14の他方の端子に印加される。これによりコンデンサ14には、基準電圧 $V_{ref}$ と所定の電圧 $V_i$ の差分の電荷が充電される。

【0005】 次に、図5に示す基準クロック信号CLKのタイミング時間 $T1$ が経過し、次のタイミング時間 $T2$ に移行すると、図4(b)に示すように2つのスイッチ $S2a$ 、 $S2b$ はともにオフし、スイッチ $S1a$ はオンする。すると、今まで基準電圧 $V_{ref}$ が印加されていたコンデンサ14の一方の端子には、今度はアナログ入力信号の電圧 $V_{in}$ が印加されるため、このコンデンサ14の一方の端子の電圧は基準電圧 $V_{ref}$ とアナログ入力信号の電圧 $V_{in}$ の差分の電圧 $\Delta V$ だけ変化する。この変化した差分の電圧 $\Delta V$ は、コンデンサ14を介してインバータ11の入力にそのまま伝達される。ここで、基準電圧 $V_{ref}$ と比較し、アナログ入力信号の電圧 $V_{in}$ が低い場合にはインバータ11の入力には、これら差分の電圧 $-\Delta V$ が伝達されるため、インバータ11の出力信号DOUTとして‘H’レベルが出力される。一方、基準電圧 $V_{ref}$ と比較し、アナログ入力信号の電圧 $V_{in}$ が高い場合には、インバータ11の入力には、これら差分の電圧 $+\Delta V$ が伝達されるため、インバータ11の出力信号DOUTとして‘L’レベルが出力される。

【0006】 この‘H’レベルや‘L’レベルの出力信号DOUTが、例えばサンプリングされ確定される。このように図4(a)と図4(b)に示すこれら2つの動作が繰り返し行われて各時間における基準電圧 $V_{ref}$ とアナログ入力信号の電圧 $V_{in}$ の大小比較が連続して行

40 われる。

【0007】 尚、チョッパ型コンパレータのゲインを上げるために、実用回路ではコンデンサ14、インバータ11及びスイッチ $S2b$ の組合せの部分が複数段直列に接続されているが、ここでは説明を簡単にするために省略した。

## 【0008】

【発明が解決しようとする課題】 上述したように、従来のチョッパ型コンパレータの動作は、図5に示すような基準クロック信号CLKのタイミング時間 $T1$ 、 $T2$ により行われている。このため、例えば基準クロック信号

C L K のタイミング時間 T 1 により既に図 4 ( a ) に示すコンデンサ 1 4 に電荷が十分充電されているにも拘らず、基準電圧  $V_{ref}$  とアナログ入力信号の電圧  $V_{in}$  の大小比較が行われるタイミング時間 T 2 がくるまでずっと、インバータ 1 1 には入出力の短絡により貫通電流が流れ続けており、無駄に電力消費されているという問題点がある。

【0009】また基準クロック信号 C L K のタイミング時間 T 2 において、基準電圧  $V_{ref}$  とアナログ入力信号の電圧  $V_{in}$  の大小比較結果の確定時間が遅れると、コンデンサ 1 4 に充電された電荷が放電し、インバータ 1 1 の入力電圧が変動し、比較結果の確定に誤りが生じるという問題点もある。本発明は、上記事情に鑑み、最適な処理時間の設定により消費電力が低減されるとともに高精度な比較結果が得られるチョッパ型コンパレータを提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成する本発明のチョッパ型コンパレータは、

( 1 ) インバータと、一端が上記インバータの入力端子に接続されたコンデンサと、一端に基準電圧が印加されるとともに他端が上記コンデンサの他端に接続された第 1 のスイッチと、一端にアナログ入力信号が印加されるとともに他端が上記コンデンサの上記他端に接続された第 2 のスイッチと、上記インバータの入力端子とそのインバータの出力端子との間を開閉自在に短絡する第 3 のスイッチとを有するコンパレータ部

( 2 ) 所定の基準クロック信号の立ち上がりの時点もしくは立ち下りの時点のうちのいずれか一方の基準時点から所定の第 1 の時間だけ上記第 1 および第 3 のスイッチを導通状態とし、上記基準時点から上記第 1 の時間経過した時点から所定の第 2 の時間だけ上記第 2 のスイッチを導通状態とするスイッチ制御部を備えたことを特徴とするものである。

【0011】ここで上記コンパレータ部が、上記インバータの入力端子を所定の固定電位に開閉自在に短絡する第 4 のスイッチを有し、上記スイッチ制御部が、上記第 1、第 2 および第 3 のスイッチの制御に加え、上記基準時点から上記第 1 および第 2 の時間が加算された時間だけ経過した時点から、上記基準クロックに同期した次の基準時点までの間だけ上記第 4 のスイッチを導通状態とするものであることが効果的である。

【0012】

【作用】本発明のチョッパ型コンパレータは、上記どおり構成されているため、第 1 の時間を、コンデンサに電荷が十分充電される最低時間に設定することにより、インバータの貫通電流が遮断されるため、例えば図 4 に示す従来技術のようにコンデンサに電荷が十分充電されているにも拘らずインバータに貫通電流がさらに流れることもなく、消費電力が低減される。

【0013】また、第 2 の時間を、コンデンサが放電されず基準電圧とアナログ入力信号の電圧の大小比較結果が十分確定される時間に設定すると、高精度な比較結果が得られる。さらに、第 4 のスイッチにより、基準電圧とアナログ入力信号の電圧の大小比較結果が確定した後、インバータの入力端子とそのインバータの ' H ' レベル電位又は ' L ' レベル電位を導通状態にすると、インバータの入力の変動に伴う電流が低減され、一層消費電力が低減される。

【0014】また、所定の基準クロック信号の立ち上がりの時点もしくは立ち下りの時点から第 1 の時間や第 2 の時間が定められているため、基準クロック信号のデューティ比や周波数に依存する必要もない。

【0015】

【実施例】以下、本発明の実施例について説明する。図 1 は、本発明の一実施例のチョッパ型コンパレータ 1 0 およびデータラッチ部 1 5 の回路図である。図 1 に示すチョッパ型コンパレータ 1 0 は、コンパレータ部 1 0 a とスイッチ制御部 1 0 b から構成されている。

【0016】コンパレータ部 1 0 a は、前述した図 4 に示す従来のものに、さらに一端がグラウンドに接続され、他端がインバータ 1 1 の入力と接続されたスイッチ S 3 a が備えられている。スイッチ制御部 1 0 b は、入力された信号の立ち上がりの時点で所定の時間だけ

' H ' レベルの信号が出力される、ディレイライン 2 1、2 2、インバータ 2 5、アンドゲート 2 8 から構成された第 1 のワンショット回路 2 0 a と、入力された信号の立ち下りの時点で所定の時間だけ ' H ' レベルの信号が出力される、ディレイライン 2 3、インバータ 2 6、アンドゲート 2 9 から構成された第 2 のワンショット回路 2 0 b と、入力された信号のやはり立ち下りの時点で所定の時間だけ ' H ' レベルの信号が出力される、ディレイライン 2 4、インバータ 2 7、アンドゲート 3 0 から構成された第 3 のワンショット回路 2 0 c と、これら第 1、第 2、第 3 のワンショット回路 2 0 a、2 0 b、2 0 c の出力が入力されるノアゲート 3 1 から構成されている。

【0017】このように構成されたチョッパ型コンパレータ 1 0 と、このチョッパ型コンパレータ 1 0 からの出力データをラッチして出力する、インバータ 1 2、1 3、スイッチ S 1 b、S 3 b から構成されたデータラッチ部 1 5 の動作について説明する。図 2 は、図 1 に示すスイッチ制御部 1 0 b のタイミングチャートである。

【0018】図 2 に示す基準クロック信号 C L K が ' H ' レベルに変化すると、この ' H ' レベルに変化した信号を受けてスイッチ制御部 1 0 b の第 1 のワンショット回路 2 0 a により所定時間 ' H ' レベルの信号が生成され、この ' H ' レベルの信号がノアゲート 3 1 に入力される。これによりノアゲート 3 1 のタイミング信号 S 3 が図 2 に示すように ' L ' レベルに変化する。タイ

ミング信号S3が‘L’レベルに変化すると、この‘L’レベルに変化した信号を受けて第2のワンショット回路20bにより所定時間、即ちコンデンサ14に電荷が十分に充電される図2に示すタイミング時間 $t_1$ の間、‘H’レベルの信号が生成され、これにより第2のワンショット回路20bのタイミング信号S2は‘H’レベルに変化する。この‘H’レベルに変化したタイミング信号S2は、第3のワンショット回路20cに入力されるが、立ち上がりが増えているため、第3のワンショット回路20cでは‘H’レベルの信号は生成されず、第3のワンショット回路20cのタイミング信号S1には、やはり‘L’レベルの信号が出力される。また、‘H’レベルに変化したタイミング信号S2はノアゲート31を介してタイミング信号S3を‘L’レベルにする。このようにして図2に示すタイミング時間 $t_1$ における各タイミング信号S1、S2、S3は、それぞれ‘L’、‘H’、‘L’のレベルとなる。

【0019】ここでタイミング信号S1、タイミング信号S2、タイミング信号S3に対応してそれぞれスイッチS1a、S1b、スイッチS2a、S2b、スイッチS3a、S3bが備えられており、これらタイミング信号S1、S2、S3の‘H’レベル、‘L’レベルに応じてこれらのスイッチS1a、S1b、S2a、S2b、S3a、S3bがそれぞれオン、オフする。

【0020】ここでタイミング時間 $t_1$ においては、タイミング信号S1とタイミング信号S3が‘L’レベルのためスイッチS1a、S1b、S3a、S3bがオフし、タイミング信号S2は‘H’レベルのためスイッチS2a、S2bがオンしている。これにより図1に示すコンパレータ部10aは、前述した図4(a)の動作状態と同じ状態になり基準電圧 $V_{ref}$ が入力されるとともにインバータ11の入出力が短絡され、コンデンサ14に電荷が充電される。ここでタイミング時間 $t_1$ はコンデンサ14に電荷が十分に充電される最低時間に設定されており、このため図4に示す従来の技術のようにコンデンサ14に電荷が十分に充電された後も、インバータ11には、貫通電流がさらに流れることもなく消費電力が低減される。

【0021】次に図2に示すようにタイミング時間 $t_1$ が経過し、‘H’レベルのタイミング信号S2が‘L’レベルに変化すると、この‘L’レベルに変化した信号を受けて第3のワンショット回路20cから図2に示す‘H’レベルのタイミング信号S1が生成される。この‘H’レベルのタイミング信号S1のタイミング時間 $t_2$ は、コンデンサ14の放電もなく基準電圧 $V_{ref}$ とアナログ入力信号の電圧 $V_{in}$ の大小比較結果が十分確定される時間に設定されている。さらにこのタイミング信号S1によりノアゲート31を介してタイミング信号S3が‘L’レベルとなる。このようにして図2に示すタイミング時間 $t_1$ における各タイミング信号S1、S

2、S3は、それぞれ‘H’‘L’‘L’のレベルとなる。

【0022】タイミング信号S1が‘H’レベルのためスイッチS1a、S1b、がオンし、タイミング信号S2、S3はともに‘L’のためスイッチS2a、S2b、S3a、S3bはオフする。これによりコンパレータ部10aは、前述した図4(b)の動作状態と同じ状態となり基準電圧 $V_{ref}$ とアナログ入力信号の電圧 $V_{in}$ の大小比較が正確に行われる。

【0023】またデータラッチ部15のスイッチS1bがオンしているためインバータ12を介して比較結果データが信号DOU Tとして出力され、これにより比較結果が確定される。次に図2に示すようにタイミング時間 $t_1$ が経過し、‘H’レベルのタイミング信号S1が‘L’レベルに変化するとこの‘L’レベルに変化したタイミング信号S1は、ノアゲート31に入力される。またタイミング信号S2も‘L’レベルの信号としてノアゲート31に入力されている。ここでノアゲート31に入力されている第1のワンショット回路20aの出力信号は、タイミング時間 $t_1 + t_2$ の合計時間より小さいか、もしくは同じ時間に設定されているため、ノアゲート31の入力は全て‘L’レベルが入力され、これによりタイミング信号S3は‘H’レベルに変化する。

【0024】このようにして、図2に示すタイミング時間 $t_1$ における各タイミング信号S1、S2、S3は、それぞれ‘L’、‘L’、‘H’のレベルとなる。これに対応してスイッチS3a、S3bのみがオンする。これにより入力が不安定にされるインバータ11の入力には‘L’レベルの信号が印加され、インバータ11の入力変動に伴う電流も低減され、前述したインバータ11の入出力の短絡による貫通電流の低減と相俟ってさらに消費電力が低減される。

【0025】また、スイッチS3bもオンされているため、インバータ12の入力とインバータ13の出力が接続される。これにより信号DOU Tのデータがラッチされる。以上説明したように、基準クロック信号CLKの立ち上がりにより、順次タイミング時間 $t_1$ 、 $t_2$ 、 $t_3$ が生成され、基準電圧 $V_{ref}$ とアナログ入力信号の電圧 $V_{in}$ が効率よく比較されることが本実施例の特徴の1つである。

【0026】尚、図2に示す基準クロック信号CLKは、デューティ比50%に限るものではなく任意のデューティ比でよい。また、本実施例においては基準クロック信号CLKの立ち上がりの時点からタイミング信号が生成されスイッチをオン、オフしたが、これに限るものではなく立ち下りの時点からタイミング信号が生成され、スイッチをオン、オフしてもよい。

【0027】図3は、本発明の図1とは異なる実施例のチョッパ型コンパレータ30およびデータラッチ部15の回路図である。図1と比較した場合に、コンパレータ

部 30 a のスイッチ S3 a が電源に接続されている。このようにしてタイミング時間  $t_1$  の間、入力が不安定にされるインバータ 11 の入力に 'H' レベルの信号を印加し、インバータ 11 の消費電力を低減してもよい。

【0028】またタイミング信号 S1, S2, S3 は、回路シミュレーションや回路試作等により容易に把握され、基本クロック信号 CLK のデューティ比や動作周波数に依存することなく最適なタイミングで基準電圧  $V_{REF}$  とアナログ入力信号の電圧  $V_{AIN}$  との大小比較が効率よくできる。

【0029】

【発明の効果】以上説明したように、基準クロック信号の立ち上がりの時点もしくは立ち下りの時点のうちのいずれか一方の基準時点から最適なタイミングが生成される本発明のチョッパ型コンパレータは、

(1) 第 1 の時間を、コンデンサに電荷が十分充電される最低時間に設定すると、インバータの貫通電流が遮断されて、消費電力が低減される。

(2) 第 2 の時間を、コンデンサの放電もなく基準電圧とアナログ入力信号の電圧の比較結果が確定される時間に設定すると、高精度な比較結果が得られる。

(3) 上記比較結果確定後、第 4 のスイッチによりインバータの入力をそのインバータの 'H' レベル電位又は 'L' レベル電位に短絡すると、インバータの入力変動に伴う電流が低減され、これにより消費電力が低減される。

(4) 基本クロック信号の立ち上がりの時点や立ち下りの時点を基準時点として最適なタイミング時間が設定

されているため、基本クロック信号のデューティ比や動作周波数に依存する必要もない。

【図面の簡単な説明】

【図 1】本発明の一実施例のチョッパ型コンパレータおよびデータラッチ部の回路図である。

【図 2】図 1 に示すスイッチ制御部のタイミングチャートである。

【図 3】図 1 とは異なる、本発明の実施例のチョッパ型コンパレータおよびデータラッチ部の回路図である。

10 【図 4】従来のチョッパ型コンパレータの回路図である。

【図 5】図 4 に示す従来のチョッパ型コンパレータの基本クロック信号のタイミングチャートである。

【符号の説明】

10, 30 チョッパ型コンパレータ

10 a, 30 a コンパレータ部

10 b スイッチ制御部

11, 12, 13, 25, 26, 27 インバータ

14 コンデンサ

15 データラッチ部

S1 a, S1 b, S2 a, S2 b, S3 a, S3 b スイッチ

21, 22, 23, 24 デレイライン

28, 29, 30 アンドゲート

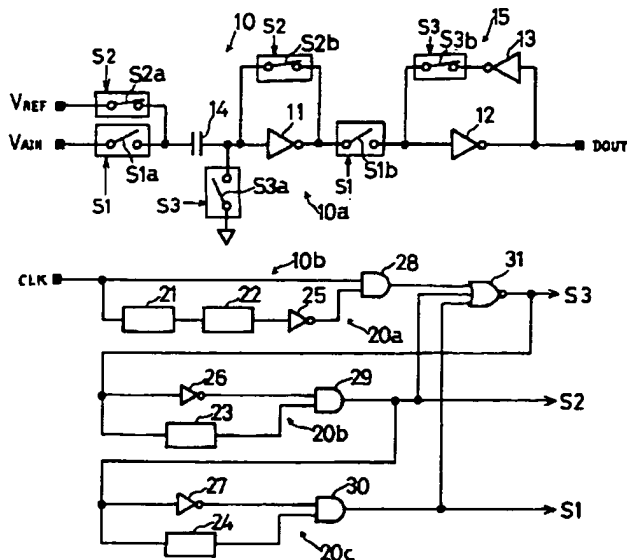
31 ノアゲート

20 a 第 1 のワンショット回路

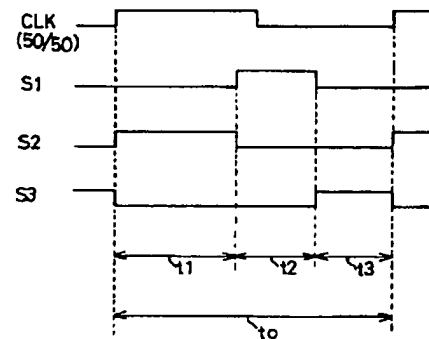
20 b 第 2 のワンショット回路

20 c 第 3 のワンショット回路

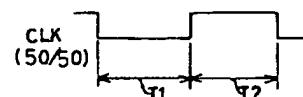
【図 1】



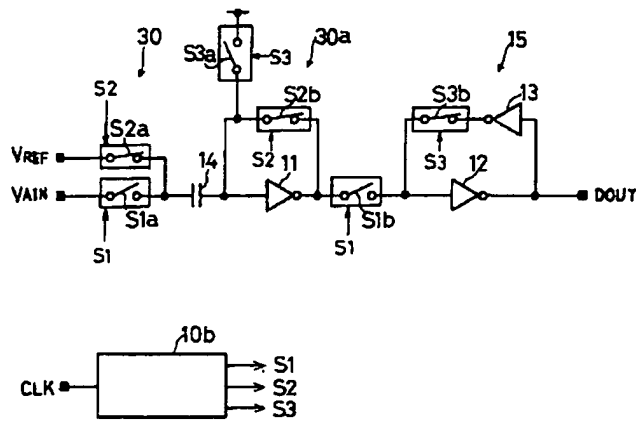
【図 2】



【図 3】

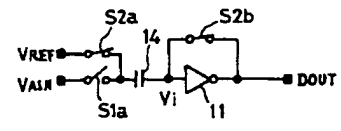


【図 3】



【図 4】

(a)



(b)

